

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-84393

(43) 公開日 平成6年(1994)3月25日

(51) Int.Cl.⁵

G 1 1 C 29/00

識別記号

3 0 1 B 6741-5L

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数10(全 11 頁)

(21) 出願番号 特願平5-102

(22) 出願日 平成5年(1993)1月4日

(31) 優先権主張番号 8 5 2 5 8 7

(32) 優先日 1992年3月17日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)

(72) 発明者 ロバート・ディーン・アダムス

アメリカ合衆国05452、バーモント州エセックス・ジャンクション、カントリーサイド・ドライブ 31

(74) 代理人 弁理士 頓宮 孝一 (外4名)

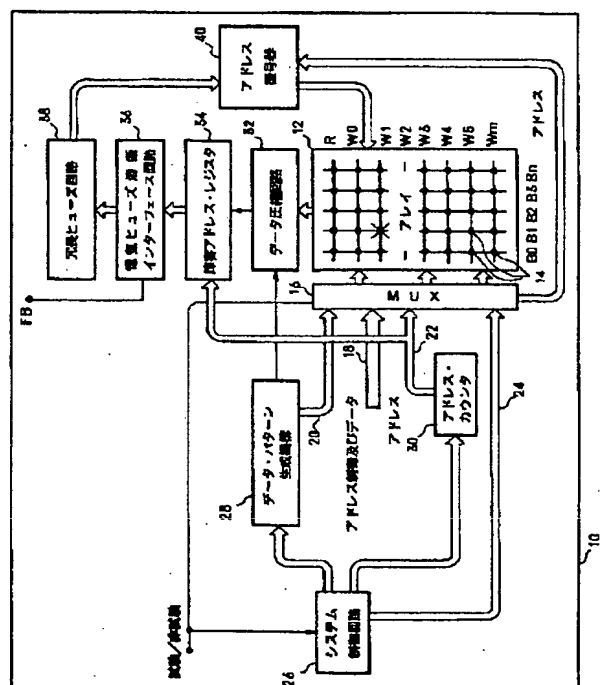
最終頁に続く

(54) 【発明の名称】 アレイ組込み自己試験システム

(57) 【要約】

【目的】 本発明の目的は、アレイがその上に形成されたチップをモジュールに実装し終えた後、アレイ中の障害のある素子の試験及び交換を行う、半導体チップ上の改良されたアレイ組込み自己試験システムを提供することにある。

【構成】 メモリ・アレイを試験して、その中の障害素子の位置を突きとめる回路32、26、28、30と、障害素子のアドレスを記憶するレジスタ34と、単入力からのエネーブル信号を半導体チップに印加したとき、レジスタに記憶されたアドレスの2進数字に応答して溶断される電気ヒューズ38とを含む、半導体チップ上に形成された冗長システムが提供される。エネーブル信号は、チップ上の論理回路を通過し、したがってエネーブル信号が存在しない限り、ヒューズをプログラミングしたり溶断したりすることができないようになっている。ヒューズからの出力に結合されたアドレス復号器40は、冗長素子を障害素子の代わりに使用する。



1

【特許請求の範囲】

【請求項1】その1本に障害のある複数のワード線と冗長ワード線とを含む、メモリ・アレイと、
上記障害ワード線を識別する手段と、
上記障害ワード線のアドレスを記憶する手段と、
複数のヒューズと、
上記アドレス記憶手段を上記複数のヒューズに結合する、インターフェース回路手段と、
上記インターフェース回路手段に結合され、上記記憶手段に記憶されている上記障害ワード線のアドレスに応じて、上記複数のヒューズのうちの選択されたヒューズを溶断するための、エネーブル信号手段と、
上記インターフェース回路手段の出力に結合され、上記障害ワード線を上記冗長ワード線と交換する、切換え手段とを備える、半導体チップ上に形成された、アレイ組込み自己試験システム。

【請求項2】上記エネーブル信号手段が、上記半導体チップ上に、エネーブル信号が印加される端子を含むことを特徴とする、

請求項1に記載のアレイ組込み自己試験システム。

【請求項3】上記端子が、上記半導体チップ上に配設されたパッドであることを特徴とする、請求項2に記載のアレイ組込み自己試験システム。

【請求項4】その1本に障害のある複数のワード線と冗長ワード線とを含む、メモリ・アレイと、
上記障害ワード線を識別する手段と、
上記障害ワード線の多重ビット・アドレスを記憶する手段と、

それぞれ上記電源に選択的に結合されている、複数のヒューズと、

上記多重ビット・アドレスの当該のビットを、それぞれ上記複数のヒューズのうちの対応するヒューズに結合する、インターフェース回路手段と、

上記インターフェース回路手段に結合され、上記アドレス記憶手段に記憶されている上記障害ワード線のアドレスに応じて、上記複数のヒューズのうちの選択されたヒューズを上記電源に接続するための、エネーブル信号手段と、

上記インターフェース回路手段の出力に結合され、上記障害ワード線を上記冗長ワード線と交換する、切換え手段とを備える、半導体チップ上に形成され、所与の電圧の電源を有する、アレイ組込み自己試験システム。

【請求項5】上記エネーブル信号手段が、上記半導体チップ上に、エネーブル信号が印加される端子を含むことを特徴とする、請求項4に記載のアレイ組込み自己試験システム。

【請求項6】上記の端子が、上記の半導体チップ上に配設されたピンであることを特徴とする、請求項5に記載のアレイ組込み自己試験システム。

【請求項7】その1本が障害ワード線である複数のワー

2

ド線と冗長ワード線とを含む、メモリ・アレイと、
上記障害ワード線を識別する信号を供給する、データ圧縮手段と、

上記信号に応答して、上記障害ワード線のアドレスを記憶する、障害アドレス・レジスタ手段と、

チップのパッドに印加される上記信号に応答する、電気ヒューズ溶断インターフェース手段と、

上記電気ヒューズ溶断インターフェース手段の出力に結合された複数のヒューズを含み、上記障害ワード線のアドレスに応じて、上記複数のヒューズのうちの選択されたヒューズを溶断する、冗長ヒューズ回路手段と、

上記冗長ヒューズ回路手段に結合され、上記冗長ワード線を上記障害ワード線の代わりに使用する、アドレス復号器手段とを備える、パッドをその上に配設した半導体チップ上に形成された、アレイ組込み自己試験システム。

【請求項8】半導体チップ上に形成されたシステムであって、

上記チップ上に配設され、ヒューズ溶断エネーブル信号が印加される電気端子と、

1本の障害ワード線を含む複数のワード線と冗長ワード線とを含む、メモリ・アレイと、

上記障害ワード線を識別する制御信号を供給する手段と、

上記制御手段に応答して、上記障害ワード線のアドレスを記憶する手段と、

複数のヒューズと、

上記制御信号及び上記ヒューズ溶断エネーブル信号に回答して、上記アドレス記憶手段を上記複数のヒューズに

30 結合し、上記障害ワード線のアドレスに応じて、上記複数のヒューズのうちの1本または複数本を溶断する、インターフェース回路手段と、

上記インターフェース回路手段の出力に結合され、上記障害ワード線を上記冗長ワード線と交換する、切換え手段とを備えるシステム。

【請求項9】各行が離散的xビット・アドレスをもつ、複数行の第1メモリ・セルを含む基板上に装着されたメモリ・デバイスにおいて、

少なくとも1行の第2予備メモリ・セルと、

40 障害があると判定された、複数行の第1メモリ・セルのうちの少なくとも1行のxビット・アドレスを一時的に記憶する第1手段と、

上記少なくとも1行の第2予備メモリ・セルが、上記複数行の第1メモリ・セルのうちの上記少なくとも1行の代わりに使用されるように、上記複数行の第1メモリ・セルのうちの上記少なくとも1行のxビット・アドレスを一時的に記憶するヒューズ手段と、

エネーブル信号に回答して、上記ヒューズ手段を、上記第1手段からの上記xビット・アドレスを永続的に記憶するようにプログラミングし、上記エネーブル信号がな

3

い場合には上記ヒューズ手段がプログラミングされないようにする、第3手段とを備える、障害検出及び回復装置。

【請求項10】 障害のある要素と冗長要素を有するアレイと、

上記障害要素のアドレス信号を記憶する手段と、

その第1端が電圧電源の第1端子に接続されている、電気ヒューズと、

半導体チップ上に配設され、エネーブル信号が印加される、端子と、

上記エネーブル信号及びアドレス信号に応答して、上記電気ヒューズの第2端を選択的に上記電圧電源の第2端子に結合して、上記障害要素のアドレスを表す信号を上記冗長要素を表す信号に切り換える手段とを備える、モジュール内に実装された半導体チップ上に形成された、アレイ組込み自己試験システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、モジュール組立て後、メモリ試験及び障害要素の交換を可能にする、アレイ組込み自己試験（ABIST）システムに関する。

【0002】

【従来の技術】 チップまたは基板上に設けた冗長要素あるいは冗長線を使用して、チップまたは基板上に形成されたメモリ・アレイ中の障害のある要素または線を交換することは、以前から知られている。冗長技法では、一般に、レーザ・ビームを用いて、ウェハ・レベルの基板上に形成されたヒューズを溶断していた。このようにして、冗長要素で障害要素を交換する。その後、ウェハをダイス切断してチップにし、チップをモジュールに装着する。モジュールの完成後、バーンインを行う。バーンインに失敗した要素は、廃棄し、あるいはモジュールを分解し費用をかけて修理する。

【0003】 メモリ・アレイを埋め込んだ論理回路を含めて、様々な種類の回路を集積したチップは、埋め込まれたアレイの適切な試験可能性を望む回路設計者や試験者に特別な問題を提起する。このようなチップは独立型メモリを有するチップよりも回路試験者が使用できる入出力ピンが少ないからである。

【0004】 試験費用を節減しメモリの歩留りを向上させることによってメモリ作成費用を下げるため、自己試験式自己修理式のシステムが開示されている。アレイ組込み自己試験（ABIST）システムと呼ばれることもある、そうしたシステムの1つが、1990年7月30日発行の米国特許第4939694号に教示されている。この発明では、代用アドレス・テーブル及びエラー訂正コード（ECC）技法を使ってメモリ・セル中のエラーを訂正している。1987年10月28日公告の欧州特許第0242854号で開示された別のABISTシステムは、連想式メモリを使って、半導体メモリの欠

4

陥メモリ・セルを予備メモリ・セルと交換している。1973年8月28日発行のL. M. アルズービ（Arzubi）の米国特許第3755791号、及びB. F. フィッツジェラルド（Fitzgerald）とD. R. ウィットカー（Whittaker）の論文“Semiconductor Memory Redundancy at Module Level”、IBMテクニカル・ディスクロージャ・ブルテン、Vol. 23, No. 8, pp. 3601~3602は、不揮発性セルを使って、障害アドレスを半永久的に記憶することを開示している。別のABISTシステムが、1990年8月30日公告の“Built-In Self Test for Integrated Circuits”と題するE. L. ヘドベルグ（Hedberg）他の米国特許出願第07/576646号に開示されている。上記出願では、1次元の障害アドレス・レジスタを使って、メモリ・アレイの欠陥セルのワード・アドレスを記憶している。すなわち、アレイのワード線に平行な1方向のみに延びる冗長線を設けている。1991年10月16日出願の“Method and Apparatus for Real Time Two Dimensional Redundancy Allocation”と題する、E. L. ヘドベルグ及びG. S. コッホ（Koch）の米国特許出願第07/778777号は、半導体チップの歩留りを高めるため、最終製造試験中に2次元冗長線がリアルタイムで直接割り振られる、ABISTシステムを開示している。1991年4月30日出願の“Low Voltage Programmable Storage Element”と題する米国特許出願第07/693463号は、プログラマブル・アンチヒューズ回路における抵抗の減少を感知する、プログラマブル冗長構成を開示している。

【0005】

【発明が解決しようとする課題】 本発明の目的は、アレイがその上に形成されたチップをモジュールに実装し終えた後、アレイ中の障害のある素子の試験及び交換を行う、半導体チップ上の改良されたアレイ組込み自己試験システムを提供することにある。

【0006】

【課題を解決するための手段】 本発明の教示によれば、アレイ中の障害素子のアドレスを記憶する手段と、その第1端が電源電圧の第1端子に結合されている電気ヒューズと、エネーブル信号及び記憶手段に記憶されているアドレスにตอบสนองして、ヒューズの第2端を電源電圧の第2端子に選択的に結合して、障害素子のアドレスを表す入力信号を冗長線を表す信号に切換える手段とを含む、改良されたアレイ組込み自己試験システムが、半導体チップ上に提供される。

【0007】

【実施例】 図面をより詳細に参照すると、図1には、本発明のアレイ組込み自己試験（ABIST）システムが、主として、たとえばシリコンの半導体チップ10上に形成されたシステムの主要な機能要素を示すブロック形式で示されている。チップ10は、複数の水平に配列されたワード線W0、W1、W2、W3、W4、W5、

5

Wm、複数の垂直に配列されたビット線B0、B1、B2、B3、Bn、及びワード線W0に隣接して配置され水平に配列された冗長ワード線Rを含んでいる。希望するなら、ワード線の数に256に等しくでき、したがってmは255に等しい。ビット線の数に128に等しくでき、従ってnは127に等しい。また、複数の冗長線をチップ10上に設けることもできる。ワード線W0~Wm及びビット線B0~Bnはそれぞれ、ワード線W0~Wmとビット線B0~Bnとの交点に位置する、図1に点14で表した複数のメモリ・セルを含む。以下で説明するように、これらのセルは、本発明のABISTシステムで試験され、許容できないセルすなわち障害のあるセルが、アレイ中のアドレス位置に関して識別され、冗長線と交換される。許容できない障害セルは、図1のアレイ12中でXで示してあり、残りのセル14は有用なすなわち良好なセルである。良好なメモリ・セルとは、その所期のデータ記憶機能を誤りなく実行できるセルであり、障害メモリ・セルは、所期の通り機能せず、データ・エラーをひき起こす。ワード線W0~Wm、ビット線B0~Bn及び冗長線Rは、情報をセル14に書き込みセル14から読み取るための既知のドライバ回路及びセンス増幅器回路を含み、アレイ12は、スタティック・ランダム・アクセス・メモリ(SRAM)またはダイナミック・ランダム・アクセス・メモリ(DRAM)でよいことを理解されたい。

【0008】図1に示すように、自己試験回路は、マルチプレクサ(MUX)16を介してアレイ12とインターフェースする。マルチプレクサ16は一般に、試験/非試験端子からの信号の制御下で、アドレス入力、制御入力、データ入力18と試験入力20、22、24の間で多重化する受信機構を含み、アドレス入力、制御入力、データ入力18に供給される信号は一般に、チップ10外の供給源からまたはチップ上の従来の論理回路26から供給される。試験回路すなわちシステム制御回路26は、マルチプレクサ16を介して、メモリ・アレイ12の自己試験のために試験データを生成するデータ・パターン生成機構28及びアドレス・データを生成するアドレス・カウンタ30を制御するために設けられている。既知のように、試験データは、チップ10上に位置するアレイ12のメモリ・セル14に書き込まれ、次いで、データ圧縮ユニット32に読み出され、そこで、データ・パターン生成機構28からセルに書き込まれた試験データと比較される。やはり既知のように、比較の結果は、単一の合格/不合格信号、障害/無障害信号またはマスタ障害信号に簡約される。これらの結果は、障害アドレス・レジスタ34に印加される。このレジスタは、1つまたは複数のラッチを含み、好ましくはシフト・レジスタ(SRL)型であり、アレイ12のセル14のワード・アドレスをも受け取る。

【0009】システム制御回路26は、アドレスごとに

6

読取り/書込みコマンドをアレイ12に供給し、アドレス・ステッピングを制御し、アレイ12及びデータ圧縮回路32へのデータ・パターン生成に影響を与え、障害アドレス・レジスタ34での結果ロギングを制御する。読取り動作中、データ・パターン生成機構28からの予想データが、データ出力評価のためデータ圧縮回路32に印加される。この動作は、新しい試験シーケンスを形成するため、アドレス・カウンタ30によって最大アドレス・フラグがシステム制御回路26に発行されるまで、続行される。3つの動作段階が、アレイ12中のどのアドレス・セルも十分に試験するため、ABISTシステム中でパイプライン化されている。第1段階中に、アレイ入力データは、データ信号及びアドレス信号をマルチプレクサ16の入力20、22、24に印加することを含む次の段階のためにセットアップされる。次いで、次の段階中に、実際のデータがアレイ12から読み出され、データ圧縮回路32で比較され、合格/不合格信号またはマスタ障害信号が障害アドレス・レジスタ34に供給される。最終段階中に、合格/不合格信号またはマスタ障害信号を使って、障害アドレス・レジスタ34中の、ワード線W1とビット線B1の交点に示されているアレイ12の障害セルのアドレスなど、アレイ12の障害セルのワード・アドレスをロギンまたは記憶する。

【0010】アレイが完全に試験され、障害セルがアレイ12中に存在することを示すワード・アドレスが障害アドレス・レジスタ34に記憶された後、障害アドレス・レジスタ34からの2進アドレス信号及び端子FBからのヒューズ溶断エネーブル信号に応答して、電気ヒューズ溶断インターフェース回路36が活動化される。端子FBは、チップ10上のパッドあるいはピンであり、アレイの全テストの完了後、エネーブル信号がチップ外の供給源から印加される。電気ヒューズ溶断インターフェース回路36の出力に結合され、複数のヒューズを含む冗長ヒューズ回路が、障害アドレス・レジスタ34に記憶されている2進アドレス信号に応じて選択的に溶断される。冗長ヒューズ回路38からの出力が、任意の既知の形式の適当なアドレス復号器40に結合されて、欠陥ワード線の入力アドレスを冗長ワード線Rに切り換える。したがって、チップ10がカプセル封じまたはモジュール形式で実装された後でも、チップ10上のただ1個のパッドまたはピンFBを使って、メモリ・アレイを試験することができ、冗長ワード線を欠陥ワード線の代わりに使用することができる。こうして、かなりの数にのぼる、パーンイン後に故障したモジュールが、本発明の実施により修理でき、完全に使用できるようになることに留意されたい。

【0011】図2は、図面の図1に示した障害アドレス・レジスタ34及び電気ヒューズ溶断インターフェース回路36をより詳細に示す、本発明の教示による回路図

7

である。破線の枠内に示す、図2の障害アドレス・レジスタ34は、クロック入力CL及び真出力Tを有しデータ入力Dがアドレス端子R0に接続された第1ラッチ42と、クロック入力CL及び真出力Tを有しデータ入力Dがアドレス端子R1に接続された第2ラッチ44とを含む。第1AND回路46は、本発明のシステムで使用するシフト・レジスタ・ラッチ(SRL)用にクロック・パルスを供給する、クロック端子CLKに接続された第1入力と、図1に示した試験/非試験端子に印加される信号に応答して、試験動作中に高電圧が印加される、負荷結果端子LRに接続された、第2入力とを有する。ラッチ42及び44のクロック入力CLは、クロック端子CLKに直接接続されている。第2AND回路48は、第1AND回路46の出力に接続された第1入力を有する。第3ラッチ50は、第2AND回路48の出力に接続されたクロック入力CLと、第2ラッチ44の真出力Tに接続されたデータ入力と、真出力Tとを有する。第4ラッチ52は、第2AND回路48の出力に接続されたクロック入力CLと、第2ラッチ44の真出力Tに接続されたデータ入力と、真出力Tとを有する。第1EXCLUSIVE-OR回路54は、第3ラッチ50の真出力Tに接続された第1入力と、第1ラッチ42の真出力Tに接続された第2入力とを有し、第2EXCLUSIVE-OR回路56は、第4ラッチ54の真出力Tに接続された第1入力と、第2ラッチ44の真出力Tに接続された第2入力とを有する。第1OR回路58は、第2EXCLUSIVE-OR回路54の出力に接続された第1入力と、第1EXCLUSIVE-OR回路54の出力に接続された第2入力とを有する。

【0012】第2OR回路60は、図1に示したデータ圧縮回路32の出力に結合されている合格/不合格またはマスタ障害端子FAに接続された第1入力を有する。第5ラッチ62は、第2OR回路60の出力に接続されたデータ入力Dと、第1AND回路46の出力に接続されたクロック入力CLと、第2OR回路60の第2入力に接続された真出力Tと、第2AND回路48の第2入力に接続された補出力Cとを有する。第3AND回路64は、第1OR回路58の出力に接続された第1入力と、第5ラッチ62の真出力Tに接続された第2入力と、マスタ障害端子FAに接続された第3入力とを有する。第3OR回路66は、第3AND回路64の出力に接続された第1入力を有し、第6ラッチ68は、第3OR回路66の出力に接続されたデータ入力Dと、第1AND回路46の出力に接続されたクロック入力CLと、第3OR回路66の第2入力及びオーバーフロー端子DFに接続された真出力Tとを有する。

【0013】図1に示した電気ヒューズ溶断インターフェース回路36は、図2の破線36の枠内に詳細に示されている。電気ヒューズ溶断インターフェース回路36は、第1入力第3ラッチ50の真出力Tに接続され、

8

第2入力第5ラッチ62の真出力Tに接続されている第1NAND回路70と、第1入力第4ラッチ52の真出力Tに接続され、第2入力第5ラッチ62の真出力Tに接続されている第2NAND回路72を含んでいる。第1インバータ74も、第5ラッチ62の真出力Tに接続された入力を有する。第4OR回路76は、図1にも示されている、ヒューズ溶断エネーブル信号端子FBに接続された第1入力と、第1インバータ74の出力に接続された第2入力とを有し、第5OR回路78は、ヒューズ溶断エネーブル信号端子FBに接続された第1入力と、第1NAND回路70の出力に接続された第2入力とを有し、第6OR回路80は、ヒューズ溶断エネーブル信号端子FBに接続された第1入力と、第2NAND回路72の出力に接続された第2入力とを有する。

【0014】電気ヒューズ溶断インターフェース回路36はまた、第4OR回路76の出力にその入力が接続されている第2インバータ82と、第5OR回路78の出力にその入力が接続されている第3インバータ84と、第6OR回路80の出力にその入力が接続されている第4インバータ86も含んでいる。もちろん、既知のように、希望するなら、NOR回路を形成することにより、OR回路76、78、80とインバータ82、84、86の組合せを単純化することもできる。後でより詳しく記載するように、インバータ82、84、86のそれぞれのPRGM、PRG0、PRG1出力は、FB信号と一緒に、ヒューズ素子をプログラミングするために使用される。

【0015】前述のように、本発明は、電氣的に「溶断可能な」ヒューズを利用する。実際には、どのような電氣的に溶断可能な素子でも使用可能である。本発明では、4ボルトの電圧と1mA程度の電流を加えることにより、素子が「溶断する」ものとしている。これは、オンチップの電圧がかなり高くなると、誘電破壊、ラッチアップその他の有害なFET故障機構が誘発されるからである。本発明では、ドーパされた非ケイ化ポリシリコン線をヒューズ素子として使用することが好ましい。ある電流密度を加えると、ポリ線は抵抗の離散的減少を示す。IEEEカトウ等の論文“A Physical Mechanism of Current-Induced Resistance Decrease in Heavily Doped Polysilicon Resistoros”, Transactions on Electron Devices, Vol. ED-29, No. 8 (1982年8月) pp. 1156~61を参照のこと。以前には、この現象を利用して、電氣的に溶断可能なヒューズ素子を作成していた。参照によりその教示を本明細書に組み込む、米国特許出願第07/693463号明細書を参照のこと。本発明では、上記特許出願に開示されている、ヒューズの修正版を使用する。それらの修正については下記でより詳しく述べる。

【0016】本発明で使用する、プログラマブル・ヒューズ素子(FE)を、図3に示す。これは、電圧電源Vdd、出力端子T及びヒューズ溶断電圧源FBに複数のス

10

10

27

30

【0019】図3のプログラマブル・ヒューズ素子F Eは、図4に示す、プログラマブル・ヒューズ回路F Cの一部として使用されている。ヒューズ回路F Cは、ノードN 1及びN 2を有するセンス・ラッチ2を形成するように動作可能に結合された複数のトランジスタQ L1ないしQ L4と、トランジスタQ P1及びQ P2のうち対応する一方を介してそれぞれノードN 1及びN 2に動作可能に結合された素子F E及びF 2を備える。F 2は、ヒューズ熔断前に、F 1の3つの部分F 1a、F 1b、F 1cと等価な等価直列抵抗をもつ単一のポリシリコン素子とすることができる。図3のトランジスタQ Fdは、デバイスQ S2がF 2中に引くのと同じ電流をF 1a～F 1c中に引き、F 1とF 2の間の抵抗差をノードT (F Eの出力)とノードNの間の電圧差に変換する。センス・ラッチ2は、通過トランジスタQ P1及びQ P2が活性化され、かつF Bによって設定ノードがプルダウンされるとき、ノードTとノードNの間の電圧差を有利に増幅する。センス・ラッチ2の最終状態が、より高い抵抗をもつヒューズ素子を示すことが好ましい。ノードN 1とN 2のうちの一方は、インバータを介して、出力端子F Outに接続される。このインバータは、1対のトランジスタQ b1及びQ b2から形成され、センス・ラッチ2の出力を緩衝する。図3に示したプログラマブル記憶素子F Eでは、F Outにおける信号は、F 1の抵抗値がF 2の抵抗値よりも高いとき、電圧V ddに等しく、F 1とF 2の抵抗値が逆になると、接地電位GNDに等しくなる。

40

50

11

OTに接続されたNチャンネル・トランジスタ138及びPチャンネル140を含み、第3通過ゲート130は、第1端でアドレス端子W1Cに接続されたNチャンネル・トランジスタ142及びPチャンネル・トランジスタ144を含み、第4通過ゲート132は、アドレス端子W1Tに接続されたNチャンネル・トランジスタ146及びPチャンネル・トランジスタ148を含む。Nチャンネル・トランジスタ134の制御電極はインバータ120の出力に接続され、Pチャンネル・トランジスタ136の制御電極はFout0出力に接続され、Nチャンネル・トランジスタ138の制御電極はインバータ150を介してNOR回路124の出力に結合され、Pチャンネル・トランジスタ140の制御電極はNOR回路124の出力に直接接続され、Nチャンネル・トランジスタ142の制御電極及びPチャンネル・トランジスタ148の制御電極はFout1出力に接続され、Pチャンネル・トランジスタ144の制御電極及びNチャンネル・トランジスタ146の制御電極は第10インバータ122の出力に接続されている。トランジスタ152、154、156は共通の出力端子Fと接地の間に並列に接続され、トランジスタ152の制御電極は通過ゲート126の第2端に接続され、トランジスタ154の制御電極は通過ゲート128の第2端に接続され、トランジスタ156の制御電極は通過ゲート130及び132のそれぞれの第2端に接続されている。トランジスタ158は、トランジスタ152の制御電極と接地の間に接続され、その制御電極がFout0出力に接続されており、トランジスタ160は、トランジスタ154の制御電極と接地の間に接続され、その制御電極がNOR回路124の出力に接続されている。トランジスタ162及び164は電圧電源VHと共通出力端子Fの間に並列に接続され、トランジスタ162の制御電極がリセット端子RSに接続され、トランジスタ164の制御電極が接地に接続されている。トランジスタ152ないし160はそれぞれNチャンネル電界効果トランジスタであり、トランジスタ162及び164はPチャンネル電界効果トランジスタである。

【0022】本発明のABISTシステムの動作において、図を見るとわかるように、試験中、アドレス、特にワード・アドレスが障害アドレス・レジスタ34に印加され、データ圧縮回路32は合格／不合格信号またはマスタ障害信号を障害アドレス・レジスタ34に印加する。このことは、図2を参照するとより詳しく分かる。図2でワード・アドレスが端子R0及びR1に印加され、合格／不合格またはマスタ障害信号が端子FAに印加される。端子R0及びR1からのワード・アドレスが、それぞれ、実際には第1レジスタを形成するラッチ42及び44のデータ入力Dに印加され、次いでラッチ42及び44の真出力Tから、第2レジスタを形成するラッチ50及び52のデータ入力端子Dに印加される。

12

あるアドレスが、マスタ障害信号、たとえば不合格を表す2進数1及び合格を表す2進数0によって、端子FAで障害セルを有するものとして識別されない場合には、そのアドレスは、好ましくはシフト・レジスタ型のラッチ50及び52を介して、真出力TからEXCLUSIVE-OR回路54及び56の第1入力にクロックされる。ラッチ42及び44中にある次のワード・アドレスが、同時に、EXCLUSIVE-OR回路54及び56の第2入力に印加される。2つのアドレスの2進数字のどちらかが異なっている場合、2進数1、すなわち、たとえば3.6ボルトの高電圧が、少なくとも1つのEXCLUSIVE-OR回路の出力に現れることが分かる。次いで、2進1信号がOR回路58を通過して、AND回路64に印加される。ただし、マスタ障害端子FAに、このワード・アドレスのワード線が障害セルをもつという指示がない場合には、2進1信号は、やはりマスタ障害端子FAに接続された入力を有する、AND回路64を通過しない。

【0023】図1に示した、アレイ12のワード線W1中のセルW1、B1など、障害セルのワード・アドレスがラッチ50及び52に印加されているとき、2進数1すなわち高電圧が、同時に端子FAに現れる。この高電圧は、OR回路60を通過してラッチ62のデータ入力に印加される。ラッチは、ラッチ62も含めて、既知のレベル感知式走査設計(LSSD)技法により、真出力が低で補出力が高となるように最初に設定されるので、高電圧がラッチ62のデータ入力Dに印加されると、真出力は高になり、補出力は低になる。ラッチ62の補出力Cが低の場合、クロック端子CLからのクロック・パルスは、もはやAND回路48を通過して、障害ワード・アドレスがあるラッチ50及び51に行けない。したがって、ワード線W1の障害ワード・アドレスが、試験手順全体を通じてラッチ50及び52に記憶される。

【0024】第1障害セルW1、B1のワード・アドレスと同じでない、第2障害セルのワード・アドレスがラッチ50及び52のデータ入力Dに印加される場合、EXCLUSIVE-OR回路54及び56のうちの1つまたは複数のものが、高出力を有し、それがOR回路58を介してAND回路64に印加される。ラッチ62の真出力における電圧が高であり、マスタ障害端子における電圧もこのとき高なので、AND回路64の出力に高電圧が現れて、ラッチ68の真出力Tを高にし、本発明のこの実施例では、設けられている冗長線Rが1本だけなので、アレイ12には修理すべき障害セルをもつワード線が多過ぎることをオーバーフロー端子DFで指示する。

【0025】試験手順の完了後に、1本の障害ワード線W1だけが識別された場合、たとえば0ボルトの低電圧がヒューズ溶断エネーブル信号端子FBに供給され、それが図2にやや詳しく示す電気ヒューズ溶断インターフ

13

エース回路36に印加される。ラッチ62の真出力Tにおける高電圧が、電気ヒューズ溶断インターフェース回路36のNAND回路70及び72のそれぞれの第2入力に印加され、NAND回路70及び72の第1入力それぞれ、障害ワード線W1のアドレスが記憶されるラッチ50及び52の真出力Tに接続されることに留意されたい。したがって、ラッチ、たとえばラッチ52に記憶されているワード・アドレスの2進数0が、NAND回路72の出力で高電圧が発生することが分かる。NAND回路72の出力に高電圧がある場合は、低電圧がP

RG1の出力に供給される。同様に、ラッチのうちの1つ、たとえばラッチ50の真出力に2進数1すなわち高電圧があると、NAND回路70の出力に低電圧が現れ、その結果PGR0出力に高電圧が生じることが分かる。

【0026】電気ヒューズ溶断インターフェース回路36ではまた、ラッチ62の真出力Tからの高電圧がインバータ74の入力に印加されて、OR回路76の第2入力に低電圧を生じさせ、かつヒューズ溶断エネーブル信号端子FBからの低電圧がOR回路76の第1入力に供給され、その結果PGRM出力に高電圧が得られる。

【0027】図3に戻ると、PGR1入力が1、FBが低の場合、3つの素子F1a、F1b、F1cが、電圧電源VddまたはVHに直接接続され、その両端間にフル供給電圧が印加されたとき溶断するように設計され、ヒューズ素子が溶断すると、出力Tが高電圧に設定されることが分かる。このため、図4のラッチ2が、ノードN1を高に設定して(通過デバイスQP1、QP2ならびに設定ノードがFBによって活性化される)、Foutを低にする。したがって、図5で、PGR0及びPGRMが高の場合、Fout0及びFoutM出力は永続的に0ボルトに維持される。FC1については、PGR1が低の場合、ヒューズ素子F1a、F1b、F1cは変化せず、したがってノードN1が低に設定され、Fout1が永続的に高電圧に設定されるようになる。

【0028】Fout1が高電圧の場合、アドレス復号器40の通過ゲート130がオンになり、通過ゲート132はオフになる。端子W1T及びW1Cには、MUX16中に配設された受信機構によって発生され、既知の方法でアドレス線を介してアドレス復号器40に供給される、真アドレス信号及び補アドレス信号が印加される。真アドレスが高で、補アドレスが低の場合、トランジスタ156はオンにならない。端子UOが低電圧の場合、通過ゲート126はオフになる。端子UMが低で、端子UOに低電圧がある場合、通過ゲート128がオンになる。したがって、アドレスとヒューズの間に対応関係がある場合、すなわちヒューズが溶断せず、対応する真アドレスが高の場合、あるいはヒューズが溶断し、対応する真アドレスが低の場合には、トランジスタ152、154、156のどれもオンにならず、したがって端子Fは

14

各サイクル前にリセットされた通り、高のままになる。トランジスタ164は、トランジスタ152、154、または156のうちの少なくとも1つがオンになるまで、単にブリーダ抵抗として働き、端子Fの放電を防止する。端子Fが試験後も高のままのときは、アドレス復号器40は既知の方式で冗長ワード線Rを欠陥ワード線W1の代わりに使用する。トランジスタ152、154または156のどれかがオンになった場合、端子Fは接地に放電され、アレイ12がこのアドレスに対して冗長代用品を必要としないことを示す。本発明の回路におけるヒューズ・リンクは開きまたは閉じ、したがって1または0の2進数字を有効に記憶することに留意されたい。

【0029】図面には冗長ワード線を1本しか示さなかったが、本発明の教示にしたがって、障害アドレスを記憶する追加のレジスタと、障害アドレスをこれらの追加レジスタに保持するための適当な追加のラッチを設けることにより、2本以上の冗長線も使用できることを理解されたい。さらに、十分な数のレジスタを設け、ラッチを適当なアレイ選択論理回路と共に保持することにより、それぞれが1本または複数の冗長線を単一のチップ上に有する、2つ以上のメモリ・アレイまたはサブアレイでも本発明の教示を利用することができる。

【0030】図面では、たとえば図2の障害アドレス・レジスタ34には、ワード線アドレスの2進ビットを受け取るための端子R0及びR1が2個だけ示してある。ただし、アレイ中で使用されるワード線の数に応じて、一連の点で示した追加のアドレス端子を、たとえば合計8個設け、対応するラッチ及び論理回路をそれに結合することができることを理解されたい。現在使用されている典型的なメモリ・アレイ256では、256本のワード線と128本のビット線が使用され、障害アドレス・レジスタ34中の8個のアドレス端子に8個の2進数字が並列に印加される、ワード・アドレスが必要となる。

【0031】

【発明の効果】したがって、本発明の教示によれば、アレイ組込み自己試験(ABIST)システムを用いて、障害アレイ線を識別して記憶し、次いで、メモリ・アレイを担持する半導体チップ上の1個のパッドまたはピンに電圧を単にトグルするだけで、冗長線を識別された障害アレイ線の代わりに使用できることが分かる。冗長線を障害アレイ線の代わりに使用するのに、チップの1個のパッドまたはピンの電圧変化だけが必要なので、バーンイン後に、あるいはチップをモジュール形式に実装した後に現場でも、アレイ試験及び冗長構成が実施できる。バーンインでアレイ中の弱いセルまたは障害セルがしばしば見つかるので、電子冗長技法を用いる本発明を使用すると、メモリ・アレイを埋め込んだ高性能製品の歩留りを劇的に高めることができる。製品によっては、バーンイン不合格の50~60%が本発明の教示を用い

15

ることによって修理できることが判明している。

【図面の簡単な説明】

【図1】本発明のアレイ組込み試験 (ABIST) システムの構成図である。

【図2】図1に示したABISTシステム中に示されている、障害アドレス・レジスタ及び電気ヒューズ溶断回路をより詳しく示す回路図である。

【図3】本発明のヒューズ素子 (FE) の回路図である。

【図4】図3の素子FEを使用した、本発明のヒューズ回路 (FC) の回路図である。

【図5】図1のABISTシステム中に示されている、冗長ヒューズ回路と、アドレス復号器の回路のいくつか

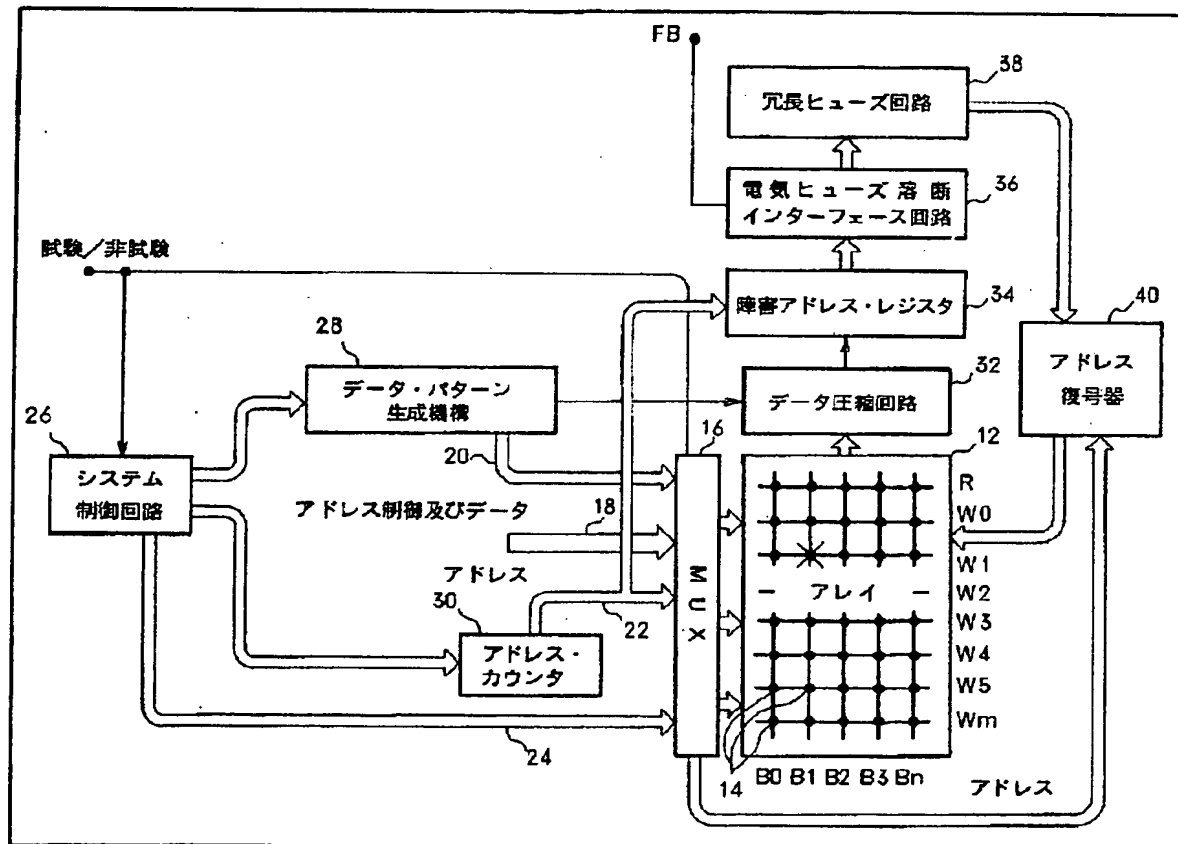
16

を示す回路図である。

【符号の説明】

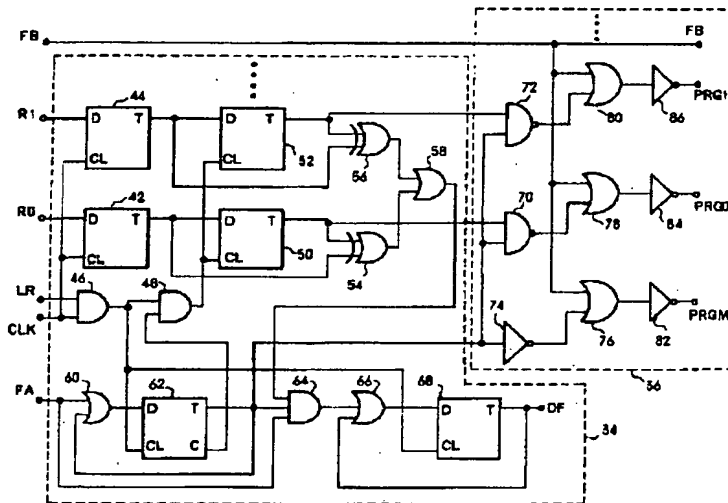
- 12 メモリ・アレイ
- 14 メモリ・セル
- 16 マルチプレクサ
- 26 システム制御回路
- 28 データ・パターン生成機構
- 30 アドレス・カウンタ
- 32 データ圧縮回路
- 34 障害アドレス・レジスタ
- 36 電気ヒューズ溶断インターフェース回路
- 38 冗長ヒューズ回路
- 40 アドレス復号器

【図1】

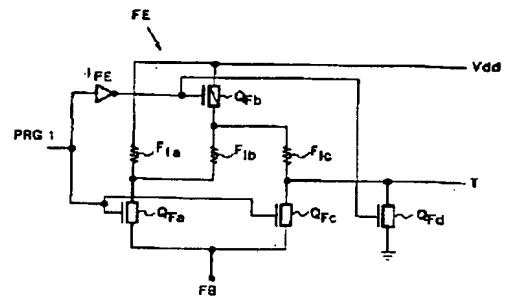


10

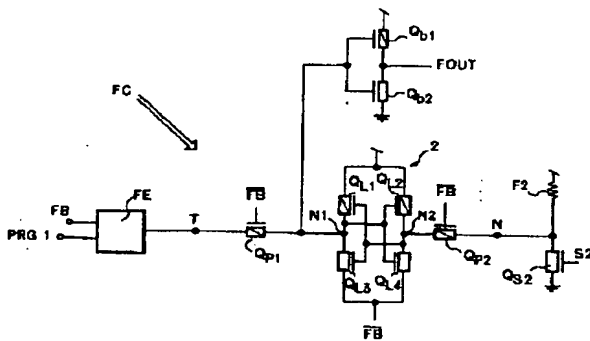
【図2】



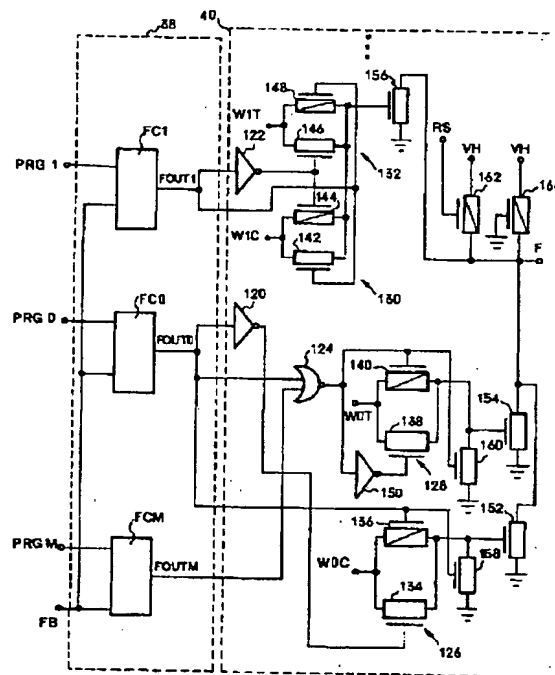
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 ヘンリー・オーガスト・ボンギス三世
アメリカ合衆国05468、パーモント州ミル
トン、ジャクソン・レーン 4

(72)発明者 ジェームズ・ウィリアム・ドーソン
アメリカ合衆国12603、ニューヨーク州ボ
ーキーブシー、パート・ドライブ 32

BEST AVAILABLE COPY

(72)発明者 エリック・リー・ヘドベルグ
アメリカ合衆国05452、バーモント州エセ
ックス・ジャンクション、ラング・ドライ
ブ 20